

# ANALOG DESIGN ENGINEER

근무 부서: Analog Design Team

근무지: 대전(신입,경력)/서울(경력) - 근무지 면접 후 결정

## 자격요건

### • 공통

- (1) 전자/전기 계열 학사 이상 졸업 또는 졸업 예정
- (2) 나이/성별 무관

### • 경력

- (1) Analog 회로설계 분야 만 2년 이상의 경력

### • 신입

- (1) 2022년 2월 졸업 이후 또는 2023년 졸업 예정
- (2) 학사 졸업 학점 3.3 이상 (4.5 기준)
- (3) TOEIC 700, TOEIC-S 130, OPIC IM2 이상 또는 동 수준의 어학 점수

## 수행업무

### • 경력

- (1) Block 및 full-chip 설계, 검증 및 평가
- (2) Sigma-delta ADC/DAC, SAR ADC
- (3) EMC를 고려한 절연 통신 physical layer (ISO-SPI, ISO-UART)와 protocol
- (4) 고정밀 voltage reference, amplifier, oscillator, regulator, charge pump 등
- (5) 배정된 설계에 대한 기능 안전 업무 (기능안전 전문팀과 협업)

### • 신입

- (1) 회로 설계에 요구되는 기초 학습 및 presentation
- (2) 설계된 회로의 simulation 검증과 문서 작성
- (3) 기능 안전 기초 학습
- (4) Chip 평가 수행과 문서 작성

## 우대사항

- 고정밀/고전압 analog 회로설계 전문성
- Systematic 설계검증 전문성 (EDA 사용 skill과 검증 방법론)
- Analog-digital mixed full-chip 설계/검증 전문성
- Verilog-A/Verilog-AMS 모델링 전문성
- 기능/성능/신뢰성 불량 분석 및 문제해결 전문성

# LAYOUT DESIGN ENGINEER

근무 부서: Analog Design Team

근무지: 대전(신입,경력)

## 자격요건

### • 공통

- (1) 전자/전기 계열 학사 이상 졸업 또는 졸업 예정
- (2) 나이/성별 무관

### • 경력

- (1) Layout 설계 분야 만 2년 이상의 경력

### • 신입

- (1) 2022년 2월 졸업 이후 또는 2023년 졸업 예정
- (2) 학사 졸업 학점 3.3 이상 (4.5 기준)
- (3) TOEIC 700, TOEIC-S 130, OPIC IM2 이상 또는 동 수준의 어학 점수

## 수행업무

### • 경력

- (1) 혼성 신호 chip의 floor-planning 및 다양한 block의 full custom 레이아웃 설계
- (2) 고정밀 회로 (voltage reference, oscillator, ADC/DAC 등)의 레이아웃 설계
- (3) 고전압 회로 (regulator, charge pump 등)의 레이아웃 설계
- (4) 노이즈 및 EMC에 강건한 레이아웃 설계
- (5) 고전압 ESD network 설계 및 레이아웃 설계

### • 신입

- (1) 레이아웃 설계에 요구되는 기초 학습 및 presentation
- (2) Comparator, amplifier, oscillator 등 기본 block의 레이아웃

## 우대사항

- 혼성 신호 chip의 floor-planning 및 full custom 레이아웃 설계 전문성
- 고전압 BCD 공정의 높은 이해 및 활용성
- 고전압 ESD 회로 개발 및 레이아웃 설계 전문성
- SKILL 및 SVRF 코딩 전문성 및 업무 효율화에 활용성
- 다양한 foundry의 PDK에 대한 높은 이해도와 tape-out process 수행 경험

# DIGITAL DESIGN ENGINEER

근무 부서: Digital Design Team

근무지: 대전(신입,경력)/서울(신입,경력) – 근무지 면접 후 결정

## 자격요건

### • 공통

- (1) 전자/전기 계열 학사 이상 졸업 또는 졸업 예정
- (2) 나이/성별 무관

### • 경력

- (1) Digital 회로설계 분야 만 2년 이상의 경력

### • 신입

- (1) 2022년 2월 졸업 이후 또는 2023년 졸업 예정
- (2) 학사 졸업 학점 3.3 이상 (4.5 기준)
- (3) TOEIC 700, TOEIC-S 130, OPIC IM2 이상 또는 동 수준의 어학 점수

## 수행업무

### • 경력

- (1) 시스템 요구사항에 기반하여 RTL 설계 및 검증
  - 디지털 회로 / 디지털 신호 처리 / 통신 interface
  - 아날로그 회로 및 주변 회로 제어
- (2) Synthesis & Timing analysis
- (3) 배정된 설계에 대한 기능 안전 업무 (기능안전 전문팀과 협업)

### • 신입

- (1) 회로 설계에 요구되는 기초 학습 및 presentation
- (2) 설계된 회로의 simulation 검증과 문서 작성
- (3) FPGA 검증, Chip 평가 수행과 문서 작성
- (4) 기능 안전 기초 학습

## 우대사항

- Verilog/VHDL/System Verilog를 이용한 RTL 설계 및 검증 전문성
- Digital 설계 front-end/back-end EDA tool의 활용 전문성
- FPGA 검증 전문성
- Analog-digital mixed full-chip 설계/검증 전문성
- 기능/성능/신뢰성 불량 분석 및 문제해결 전문성